

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: September 21, 1998

Application Number: Japanese Patent Application
No. 10-266930

Applicant(s): NIPPON TELEGRAPH AND TELEPHONE
CORPORATION

October 8, 1999

Commissioner,
Patent Office

Takahiko Kondo (Seal)

Certificate No.11-3060045



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1998年 9月21日

出 願 番 号
Application Number:

平成10年特許願第266930号

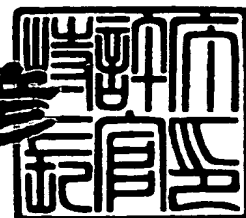
出 願 人
Applicant(s):

日本電信電話株式会社

1999年10月 8日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3060045

【書類名】	特許願
【整理番号】	NTTH106142
【提出日】	平成10年 9月21日
【あて先】	特許庁長官 伊佐山 建志 殿
【国際特許分類】	H04L 12/48 H04L 12/56
【発明の名称】	A T Mスイッチ
【請求項の数】	4
【発明者】	
【住所又は居所】	東京都新宿区西新宿三丁目19番2号 日本電信電話株式会社内
【フリガナ】	ヤスカ セイゾウ
【氏名】	安川 正祥
【発明者】	
【住所又は居所】	東京都新宿区西新宿三丁目19番2号 日本電信電話株式会社内
【フリガナ】	タカ ナキ
【氏名】	高谷 直樹
【発明者】	
【住所又は居所】	東京都新宿区西新宿三丁目19番2号 日本電信電話株式会社内
【フリガナ】	ハシマ マサヨシ
【氏名】	鍋島 正義
【発明者】	
【住所又は居所】	東京都新宿区西新宿三丁目19番2号 日本電信電話株式会社内
【フリガナ】	ヤマカ ナアキ
【氏名】	山中 直明

【特許出願人】

【識別番号】 000004226
【住所又は居所】 東京都新宿区西新宿三丁目19番2号
【氏名又は名称】 日本電信電話株式会社

【代理人】

【識別番号】 100078237
【住所又は居所】 東京都練馬区関町北二丁目26番18号
【弁理士】
【氏名又は名称】 井 出 直 孝
【電話番号】 03-3928-5673

【選任した代理人】

【識別番号】 100083518
【住所又は居所】 東京都練馬区関町北二丁目26番18号
【弁理士】
【氏名又は名称】 下 平 俊 直
【電話番号】 03-3928-5673

【手数料の表示】

【予納台帳番号】 014421
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9701394

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ATMスイッチ

【特許請求の範囲】

【請求項1】 入回線を複数のグループに分類しこのグループ内でセルに付与されたタイムスタンプを比較する手段と、この比較する手段の比較結果にしたがって最も若いタイムスタンプを有するセルを選択する手段とを備えたセル選択手段により構成される単位スイッチを備え、

この単位スイッチの i (i は自然数) 段目のセル選択手段は、 $i-1$ 段目のセル選択手段の出回線を入回線とする

ことを特徴とする ATMスイッチ。

【請求項2】 前記単位スイッチを含む基本スイッチが複数並列に配置された請求項1 記載の ATMスイッチ。

【請求項3】 一つのセルを複数のショートセルに分割する手段と、この分割する手段により分割された複数のショートセルを複数並列に配置された前記基本スイッチに転送する手段と、この基本スイッチを介して転送された前記ショートセルを元のセルに合成する手段とを備え、

到来するセルに第一のタイムスタンプを付与する手段と、このセルを分割して得られたショートセルに第二のタイムスタンプを付与する手段とを備え、

この第二のタイムスタンプにしたがって前記基本スイッチ内のショートセル順序補償制御を実行する手段を備え、

前記第一のタイムスタンプにしたがって前記合成する手段内のセル順序補償制御を実行する手段を備えた

請求項2 記載の ATMスイッチ。

【請求項4】 前記分割する手段は、前記一つのセルのペイロードを複数に分割し、それぞれ分割されたペイロードのオーバーヘッドを書き直す手段を含む請求項3 記載の ATMスイッチ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はATM（非同期転送モード）に利用する。本発明はATMに代表される固定長パケットのスイッチング技術に利用する。本発明は大規模で経済的なATMスイッチの構成技術に関する。

【0002】

特にセルベースの負荷分散を行った場合にスイッチ内でセル順序補償を行いながらスイッチングする技術に関する。

【0003】

また、上記スイッチアーキテクチャを用いてLSIの高速IO数が問題となる高速領域で大容量ATMスイッチを実現する場合に、大容量ATMスイッチを構成する単一LSIの内部回路の使用効率を高め、所要LSI数を最小限に抑えるATMスイッチハードウェア構成技術に関する。

【0004】

なお、本明細書では、基本スイッチはATMスイッチを構成する要素であり、単位スイッチは基本スイッチを構成する要素として説明する。また、セルを分割することにより生成されたセルをショートセルと呼ぶことにする。

【0005】

【従来の技術】

ATMスイッチを大容量化する方法としては複数の小規模なATMスイッチである単位スイッチを多段に相互接続してATMスイッチ容量を大規模化する方法がある。この従来例を図13ないし図15を参照して説明する。図13は単位スイッチを3段構成としたATMスイッチを示す図である。図14はコネクションベースのルーティングを行った場合のATMスイッチ内のセルのスイッチング動作を示す概念図である。図15はセルベースのルーティングを行った場合のATMスイッチ内のセルのスイッチング動作を示す概念図である。

【0006】

このような方法で、単位スイッチを相互接続して大容量スイッチを実現する場合には、各単位スイッチは同一のハードウェア構成で実現されることがスイッチコストあるいはスイッチ制御性を考慮した場合に望ましい。

【0007】

しかしながら同一のハードウェア構成で実現される単位スイッチを相互接続したATMスイッチ構成では、図14に示すような同一VCを構成するセルが単位スイッチ内で同一ルートをとるコネクションベースのルーティングを採用した場合に、VCの多重化特性の違いによってATMスイッチ内のトラヒック分散に偏りが生じ、ATMスイッチ内リンクで輻輳（ブロッキング）が発生する可能性がある。

【0008】

このような場合にはATMスイッチ入出力に空き帯域があってもATMスイッチ内部でセル廃棄が生じてセル転送のQoS (Quality of Services) に劣化が生じる。このためATMスイッチ内でコネクション毎にリソースマネジメントを行う必要が生じるのでATMスイッチのハードウェアとATMスイッチの制御が複雑化する問題がある。

【0009】

このような問題を避けるためには同一VCを構成するセルがATMスイッチ内で複数ルートを通るセルベースルーティングが有効となる。図15に示すように、この方法ではATMスイッチに入力したセルをATMスイッチ内の分配網を用いてルーティング網の入力ポート毎に等確率で振り分けることによりルーティング網で内部ブロックが起こることを防止する。

【0010】

また、この方法ではATMスイッチ内のセルが分配網で複数の経路に振り分けられるのでルーティング網では経路毎のランダムな遅延を受けることになる。そのため同一VCを構成するセルが順序逆転を起こす可能性がある。

【0011】

このようなスイッチングに伴うセル順序逆転を防止する方法として最大遅延時間付加法("M.Collivignarelli et al., System and Performance Design of the ATM Node UT-XC," IEEE ISS'94 pp.613-618) が提案されている。

【0012】

この原理ではスイッチに入力された全てのセルに対してあらかじめ設定された最大遅延時間Dを付加することで、同一のスイッチ内セル転送遅延時間を実現し

セルの順序逆転を補償している。この原理では任意のセルのスイッチ出力でのスイッチング遅延を D_1 とすると、スイッチ出力でスイッチングされたセルに対して新たに待ち時間 $D_2 = D - D_1$ の遅延を付加する。このような制御を用いて入力されたセル全てに同一の遅延時間 D を課すことにより入力セルのスイッチ内遅延時間を同一にしてセル順序補償を行うものである。

【0013】

【発明が解決しようとする課題】

上記従来例で説明した最大遅延時間付加法では全ての入力セルに予め設定された最悪の遅延時間 D を付加させることになるので ATM スwitch 入力負荷が低い場合にも全ての入力セルが最悪遅延を受けることになり、遅延特性上問題がある。また、出力バッファ型の単位スイッチを基本単位とする ATM スwitch においてスイッチ入力負荷 0.9 を許容した場合には絶対遅延時間を数百のオーダで設定する必要があり最大遅延時間付加ブロックのハードウェアが複雑化し実現可能性上問題がある。

【0014】

また、転送されたセルの遅延時間付加を正確に行うためには ATM スwitch 入出力部で各々のセルのスイッチング遅延時間を 1 セル単位で正確に測定する必要があり、このことが入出力部に配置されるセル遅延時間測定回路、絶対遅延時間付加回路を複雑化してハードウェア実現技術上問題となる。

【0015】

また、本発明で提案するような高速のスループットを備える ATM スwitch では膨大なスイッチ入出力信号数の収容方法が問題となっている。図 16 はスイッチサイズ 16×16 の ATM スwitch の実現例を示す図である。例えば、図 16 に示すようなスイッチサイズ 16×16 、スイッチスループット 160 Gbit/s (ハイウェイスピード $10 \text{ Gbit/s} : 622 \text{ Mbit/s} \times 20$ で実現) のスループットを持つ ATM スwitch を実現する場合には、ATM スwitch を実現する LSI の高速入出力信号数が最大 300 pin に制限されるとすると、ATM スwitch に高速信号を並列入力したとき、最大 4×2 の LSI を実現できる ($(4 + 2) \times 2 \times 20 = 240$ 、他制御信号 50)。そのため、この LSI

を用いて160Gのクロスポイントスイッチを実現するためには32個のチップを用意する必要がある。

【0016】

図17はセルを空間的に分割して転送する場合のLSI構成を示す図である。一方、ビットスライステクニックを用いてセルを空間的に分割した場合には、図17に示すように、1チップで160G/3のスループットを実現できる($16 \times 2 \times (20/3) \approx 230$ 、他制御信号50)。このため160Gを最小3チップで実現できる。ビットスライスを用いた方法ではチップを中継する高速信号ラインを排除できるのでチップ内に搭載したハードウェア論理を効率的に使用できる。

【0017】

図18は並列入力のクロスポイントスイッチ例を示す図であり、図19はビットスライスを用いたクロスポイントスイッチ例を示す図であるが、図18に示す並列入力ではクロスポイントの中央に配置されたLSIでは、ATMスイッチに入力される高速入出力信号の内、実際にスイッチングされる部分よりもそのLSIを中継していく割合の方が高い。そのため高速信号入力のピンの中で中継用に使われるハードウェアの割合の方が高くなり、当該LSIでスイッチングのために使用されるロジックの集積度は低いという問題点がある。

【0018】

一方、図19に示すビットスライスを用いた例では高速入出力信号の全入出力がスイッチングに利用されるのでLSIに効率的なスイッチングロジックの集積が可能となる。

【0019】

しかしながら、従来この方法でスイッチサイズを大規模化する場合にはセル分割および合成機能を備えた単位スイッチを一度構成し、これを基本構成単位として多段に接続して大規模化を図っているため、このメリットを生かしきれていない。また、この方法ではATMスイッチ内でセル分割および合成を繰り返すためにセル分割および合成のオーバーヘッド回路が増大しハードウェアの増大、制御の複雑化を招き経済的なアプローチではない。

【0020】

本発明は、このような背景に行われたものであって、スイッチ規模に制限されることのないセル順序補償動作を実現することができるATMスイッチを提供することを目的とする。本発明は、スイッチサイズにスケーラビリティのあるスイッチアーキテクチャを実現することができるATMスイッチを提供することを目的とする。本発明は、高速領域でLSI入出力信号数に制限がある場合でも経済的に大規模化を図ることができるATMスイッチを提供することを目的とする。

【0021】

【課題を解決するための手段】

本発明はATMスイッチであって、本発明の特徴とするところは、入回線を複数のグループに分類しこのグループ内でセルに付与されたタイムスタンプを比較する手段と、この比較する手段の比較結果にしたがって最も若いタイムスタンプを有するセルを選択する手段とを備えたセル選択手段により構成される単位スイッチを備え、この単位スイッチの i (i は自然数) 段目のセル選択手段は、 $i-1$ 段目のセル選択手段の出回線を入回線とするところにある。

【0022】

また、前記単位スイッチを含む基本スイッチが複数並列に配置された構成とし、一つのセルを複数のショートセルに分割する手段と、この分割する手段により分割された複数のショートセルを複数並列に配置された前記基本スイッチに転送する手段と、この基本スイッチを介して転送された前記ショートセルを元のセルに合成する手段とを備え、到来するセルに第一のタイムスタンプを付与する手段と、このセルを分割して得られたショートセルに第二のタイムスタンプを付与する手段とを備え、この第二のタイムスタンプにしたがって前記基本スイッチ内のショートセル順序補償制御を実行する手段を備え、前記第一のタイムスタンプにしたがって前記合成する手段内のセル順序補償制御を実行する手段を備える構成とすることもできる。前記分割する手段は、前記一つのセルのペイロードを複数に分割し、それぞれ分割されたペイロードのオーバーヘッドを書き直す手段を含むことが望ましい。

【0023】

このように、ATMスイッチの入出力にそれぞれセル分割および合成を行う手段を設け、ATMスイッチ内では分割されたショートセルを用いてルーティングを行う複数の基本スイッチを並列に設けることにより、所要LSI数最小の構成でATMスイッチサイズを拡張することができる。

【0024】

また、ルーティング網内の基本スイッチとセルを合成する手段のソータが連携してセル順序補償を行うことにより、スイッチ規模に制限されることのないセル順序補償動作を実現し、スイッチサイズにスケーラビリティのあるスイッチアーキテクチャを提供することができる。

【0025】

【発明の実施の形態】

発明の実施の形態を図1ないし図4を参照して説明する。図1は本発明実施例の単位スイッチの要部ブロック構成図である。図2は本発明実施例のATMスイッチの全体構成を示す概念図である。図3は16ハイウェイの並列伝送を仮定した場合の64バイト長のスイッチ内ATMセルフォーマットの例を示す図である。図4は16ハイウェイの並列伝送を仮定した場合の64バイト長のショートセルフォーマットの例を示す図である。

【0026】

本発明はATMスイッチであって、本発明の特徴とするところは、図1に示すように、入回線を複数のグループに分類しこのグループ内でセルに付与されたタイムスタンプを比較する手段であるコントローラ12-1および12-2と、コントローラ12-1および12-2の比較結果にしたがって最も若いタイムスタンプを有するセルを選択する手段であるセレクタ9および11とを備えたセル選択手段により構成される単位スイッチEを備え、単位スイッチEのセレクタ9の出回線は出力バッファ10の入回線とする。

【0027】

図2に示すように、本発明実施例のATMスイッチは、図1に示す単位スイッチEを含む基本スイッチP1およびP2が並列に配置される。このATMスイッチは、一つのセルを複数のショートセルに分割する手段で分割された複数のショ

ートセルを並列に配置された基本スイッチP1およびP2に転送する手段であるセル分割部SA1～SA4と、この基本スイッチP1およびP2を介して転送された前記ショートセルを元のセルに合成する手段であるセル合成部SR1～SR4とを備え、セル分割部SA1～SA4は、到来するセルに第一のタイムスタンプを付与し、このセルを分割して得られたショートセルに第二のタイムスタンプを付与する。

【0028】

基本スイッチP1およびP2は、この第二のタイムスタンプにしたがって基本スイッチ内のショートセル順序補償制御を実行する。また、セル合成部SR1～SR4は、前記第一のタイムスタンプにしたがってセル順序補償制御を実行する。また、セル分割部SA1～SA4は、図4に示すように、前記一つのセルのペイロードを複数に分割し、それぞれ分割されたペイロードのオーバーヘッドを書き直す。

【0029】

本発明実施例では、二つの基本スイッチP1およびP2により構成されたATMスイッチを例にとり説明するが、この説明は、n（nは自然数）個の基本スイッチP1～Pnにより構成されたATMスイッチについても拡張して適用することができる。また、セル分割部SA1～SA4およびセル合成部SR1～SR4についてもm個（mは自然数）に拡張して適用することができる。すなわち、本発明実施例のATMスイッチは、スイッチサイズにスケラビリティのあるスイッチアーキテクチャを実現することができる。さらに、基本スイッチP1およびP2の構成についても3段構成に限定するものではない。

【0030】

【実施例】

本発明実施例を説明する。図2に示すように、本発明のATMスイッチはセル分割部SA1～SA4、基本スイッチP1およびP2、セル合成部SR1～SR4から構成される。セル分割部SA1～SA4は、セルのショートセルへの分割およびショートセルの分配およびタイムスタンプ付与の機能を分担し、基本スイッチP1およびP2はそれぞれセルベースルーティングとタイムスタンプ情報を

もとにしたセル順序補償動作の機能を分担し、セル合成部 S R 1 ~ S R 4 ではショートセル合成とセル順序ソーティングの機能を分担している。

【0031】

なお、本発明実施例では入力されたセルは2面の基本スイッチ P 1 および P 2 でスイッチングされる2個のショートセルに分割され、基本スイッチ P 1 および P 2 は2個のそれぞれ3段接続された単位スイッチにより構成される。

【0032】

次に A T M スイッチに入力されたセルのスイッチング過程を時系列的に説明する。スイッチに入力されたセルは、まず始めにセル分割部 S A 1 ~ S A 4 に入力される。

【0033】

このセル分割部 S A 1 ~ S A 4 では入力されたセルを空間的に分割しセルを送る並列信号数の少ないショートセルを生成する。図3および図4に16ハイウェイの並列伝送を仮定した場合の64バイト長のスイッチ内セルフフォーマットおよびショートセルフフォーマットの例をそれぞれ示す。この例ではショートセルに分割するとき、もともと16ビットの32ワードで構成されていたセルを、ビット方向に2分割して8ビット、32ワードのショートセルを実現している。このようなショートセルフフォーマットを採用し、基本スイッチ P 1 および P 2 を分割しているために、基本スイッチ P 1 および P 2 に入力される高速の信号数を削減できるので分割された基本スイッチ P 1 および P 2 内で必要となる L S I 数を最小限に抑えることが可能となっている。

【0034】

セル分割部 S A 1 ~ S A 4 ではショートセルの分割と同時にショートセルを各基本スイッチ P 1 および P 2 にセルベースで負荷分散して分配する。このため、セル分割部 S A 1 ~ S A 4 ではショートセルのオーバーヘッドにスイッチ分配用のルーティングビット R B ' および R B " をサイクリックに付与する。このとき、本来のルーティングビット R B の情報もルーティングビット R B ' および R B " に書込まれており、セル合成部 S R 1 ~ S R 4 によってセルに合成されたときに再びルーティングビット R B がこのセルに付与される。

【0035】

図5に、入力されたセルが2つの基本スイッチP1およびP2に分割され、分割されたショートセルが各基本スイッチP1およびP2の単位スイッチ2段目にサイクリックに分配される様子を示す。また、図6に、2段目割当周期表を示す。この例でセル分割部SA1は時間T1～T4の周期でルーティングビットをS1→S2→S3→S4までショートセルにサイクリックに付与する。

【0036】

さらにセル分割部SA2は同一周期中にS2→S3→S4→S1のルーティングビットを、セル分割部SA3はS3→S4→S1→S2のルーティングビットを、セル分割部SA4はS4→S1→S2→S3のルーティングビットをサイクリックに付与していくので基本スイッチP1およびP2間で同一の負荷特性で単位スイッチ2段目にトラヒックを分散できる。このため分割された2つのショートセルは2つの基本スイッチP1およびP2で同一のスイッチング動作、セル転送遅延を付加されて基本スイッチP1およびP2の出力に到着することになる。

【0037】

分配されたショートセルはセル順序逆転を補償するために各基本スイッチP1またはP2で分散的にセル順序補償を行いながらスイッチングされていく必要がある。このため各セル分割部SA1～SA4ではセル順序を識別するためにショートセルのオーバーヘッドにタイムスタンプTを付与する。

【0038】

図7に本発明実施例のセル分割部の要部ブロック構成を示す。セル分割部では入力インタフェース5を介して入力セルを位相調整しながら取込み、ショートセル分割部1に転送する。ショートセル分割部1では、もともとのスイッチ内ルーティングビットRBを参照し、どの単位スイッチ2段目を通過するかを識別するセル分配用のルーティングビットRB' およびRB'' を付与する。これと同時に、入力セルのセル順序を識別するタイムスタンプTが付される。その後分割されたショートセルは出力バッファ2₁ および2₂ に蓄積され、位相調整を行った後に、各々の基本スイッチP1およびP2に出力される。なお、ショートセルに付与されるタイムスタンプTおよびルーティングビットRB' およびRB'' に関する

る情報は制御部 3 からショートセル分割部 1 に供給される。また、カウンタ 4 は他のセル分割部との同期を確立する。

【0039】

次に基本スイッチ P 1 および P 2 に入力されたショートセルのスイッチング動作例を示す。図 8 に、各々の基本スイッチ P 1 および P 2 におけるセル順序補償網の構成を示す。図 8 に示すように各基本スイッチ P 1 および P 2 は階層化されたセル順序補償網により構築されている。このセル順序補償網ではセルをスイッチングすると同時に入力ポート間でセル順序を補償しながらトーナメントにセルを集線していく機能を備えている。このためスイッチネットワーク全体でセル順序補償をトーナメントに行うことが可能となるのでセル順序補償を行いながらのスイッチングが可能となっている。

【0040】

図 9 はセル順序補償階層網を示す図である。図 9 に示すように、本発明 ATM スイッチでは入力されたセルをセルに書き込まれたタイムスタンプ T をもとにしてスイッチ出力に集線していく。図 9 の例では出回線 # J にセル順序を補償しながらスイッチングしていく例を示している。

【0041】

図 1 に示すように、各单位スイッチ E はアドレスフィルタ 7、出力バッファ 8 および 10、出力バッファ 8 および 10 を集線するセレクタ 9 および 11、セレクタ 9 および 11 を制御するコントローラ 12-1 および 12-2 から構成されている。各基本スイッチ P 1 および P 2 に入力されたセルはその宛先情報によりスイッチングされ、セル順序を補償する集線網に入力されバッファリングされながら任意の出力ポートに集線されていく構成となっている。

【0042】

次に基本スイッチ P 1 および P 2 に入力されたセルのスイッチング動作と基本スイッチブロックのハードウェア動作を説明する。基本スイッチ P 1 および P 2 に入力したセルは各基本スイッチ P 1 および P 2 の出力に対応したアドレスフィルタ 7 によって取り込まれ出力バッファ 8 にバッファリングされる。この出力バッファ 8 は入力回線毎にグルーピングされてセレクタ 9 に接続されており、グル

ープ内の一つの出力バッファ 8 内のセルが以下のアルゴリズムにより選択され集線される。

【0043】

出力バッファ 8 内に送出セルが存在するときには各出力バッファ 8 はセクタ 9 に接続されたコントローラ 12-1 にセル送出要求とセルのオーバーヘッドに書込まれたタイムスタンプ T を通知する。この情報を受けたコントローラ 12-1 はセル送出要求を持つ出力バッファ 8 の中から一番スイッチ入力時刻の若いタイムスタンプ T を持つセルを収納している出力バッファ 8 を選択し、セクタ 12-1 を制御して当該セルを集線網の次ステージに送出する。

【0044】

この操作を階層的に繰り返すことで異なる基本スイッチ P 1 および P 2 の入力から到着したセル間の順序補償を行い基本スイッチ P 1 および P 2 の出力にセルを送出する。このような基本スイッチ P 1 および P 2 が階層的に相互接続されているのでスイッチトータルでセル順序補償を行いながらのスイッチングが可能となっている。

【0045】

このようなセル順序補償を行うためには各基本スイッチ P 1 および P 2 が完全にセル同期して順序補償を行うことが望ましい。しかしながら基本スイッチ論理チャネルスピードが増大する大規模スイッチでは 1 セル時間が短くなる。このため全基本スイッチ P 1 および P 2 間でセル同期をとることがハードウェア実現上困難となる。図 10 は二重のタイムスタンプ T および t によるセル順序補償を説明するための図である。このような場合には図 10 に示すようにタイムスタンプ t をグルーピングして基本スイッチ用とセル合成部用の二つのタイムスタンプ T および t を用意する。すなわち、基本スイッチ P 1 および P 2 内で用いるタイムスタンプ T とセル合成部 S R 1 ~ S R 4 で用いるタイムスタンプ t とを階層化して付与し、基本スイッチ P 1 および P 2 内で用いるタイムスタンプ T によって基本スイッチ P 1 および P 2 内でセル順序補償制御を実行し、それにより転送されたショートセルに対してセル合成部 S R 1 ~ S R 4 にてセルを合成するときに、ショートセルが誤って合成されることのないようにタイムスタンプ t によりセル

順序補償制御を実行する。

【0046】

この例では、基本スイッチP1およびP2の内部ではc個のセルをグルーピング化して同一の基本スイッチ内タイムスタンプT1～T3を付与している。このようなグルーピングを行うので基本スイッチP1およびP2間のカウンタ同期が簡略化でき、セル順序補償に用いるハードウェアが削減できる。

【0047】

セル合成部では同一の基本スイッチ内タイムスタンプTを持つ出力セル間でセル順序逆転が生じている可能性があるので、セルのオーバーヘッドに書込まれたもう一つのスイッチ出力ソータ用のタイムスタンプtを用いてセル順序逆転を補償する。この例ではソータ用タイムスタンプt1～tcを用いてウィンドウサイズWのより粒度の細かいセル時間を単位としたソーティングを行いセル順序補償を行う。

【0048】

本発明のATMスイッチでは、この二つのセル順序補償機能を用いて完全なセル順序補償を実現する。また本発明のATMスイッチでは基本スイッチP1およびP2間で同一のセル分配、セル順序補償動作を実現しているため各基本スイッチP1およびP2に分配されるショートセルは同一のセル転送遅延時間をもって基本スイッチP1およびP2の出力に到着する。

【0049】

このためセル合成部では各基本スイッチP1およびP2間のジッタを補正するだけでセルを再生できる。図11に、セル合成部の要部ブロック構成を示す。セル合成部に入力されたショートセルは基本スイッチP1およびP2間のジッタを吸収するためにインタフェース16₁および16₂で位相調整される。ここで前述したタイムスタンプtによるソートが行われる。その後、入力バッファ13₁および13₂に一時蓄積され、ショートセル合成部14でセルの合成が実行され後段の絶対遅延付与バッファ15にバッファリングされる。バッファリングされたセルの中で出力ソータ用のタイムスタンプTを用いてウィンドウサイズWのソーティングを行いセルの順序を補償しながらセルを出力インタフェース17を介

して出力方路に送出する。なお、絶対遅延付与バッファ 15 におけるソートは、従来例で説明した最大遅延時間付加法により行われる。

【0050】

本発明の ATM スイッチでは、このような連携したセル順序補償動作とショートセル単位のマルチステージスイッチ構成を用いることでスイッチサイズに依存しないセル順序補償動作とハードウェア最小アーキテクチャに基づくノンブロックマルチステージ ATM スイッチを実現できる。

【0051】

図 12 に、本発明の 16×16 の 4 分割されたショートセルをスイッチングする単位スイッチを相互接続した 4 つの基本スイッチを用いて構成したスイッチサイズ 256×256 の ATM スイッチ実現例を示す。この例からも本発明によればシンプルな構成でスイッチ規模が拡大できることがわかる。

【0052】

また、本発明実施例で示した ATM スイッチを基本スイッチとして用い、さらに、階層的な ATM スイッチを構成することもできる。この場合には、セルに付与されるタイムスタンプも各階層で用いる複数種類が付与される。

【0053】

【発明の効果】

以上説明したように、本発明によれば、スイッチ規模に制限されることのないセル順序補償動作を実現することができる。また、スイッチサイズにスケラビリティのあるスイッチアーキテクチャを実現することができる。さらに、高速領域で LSI 入出力信号数に制限がある場合でも経済的に大規模化を図ることができる。

【図面の簡単な説明】

【図 1】

本発明実施例の単位スイッチの要部ブロック構成図。

【図 2】

本発明実施例の ATM スイッチの全体構成を示す概念図。

【図 3】

16ハイウェイの並列伝送を仮定した場合の64バイト長のスイッチ内ATMセルフォーマットの例を示す図。

【図4】

16ハイウェイの並列伝送を仮定した場合の64バイト長のショートセルフォーマットの例を示す図。

【図5】

分割されたショートセルが各基本スイッチのスイッチ2段目にサイクリックに分配される様子を示す図。

【図6】

2段目割当周期表を示す図。

【図7】

本発明実施例のセル分割部の要部ブロック構成を示す図。

【図8】

各々の基本スイッチにおけるセル順序補償網の構成を示す図。

【図9】

セル順序補償階層網を示す図。

【図10】

二重のタイムスタンプによるセル順序補償を説明するための図。

【図11】

セル合成部の要部ブロック構成を示す図。

【図12】

本発明の16×16の4分割されたショートセルをスイッチングする単位スイッチを相互接続した4つの基本スイッチを用いて構成したスイッチサイズ256×256のATMスイッチ実現例を示す図。

【図13】

単位スイッチを3段構成としたATMスイッチを示す図。

【図14】

コネクションベースのルーティングを行った場合のATMスイッチ内のセルのスイッチング動作を示す概念図。

【図 15】

セルベースのルーティングを行った場合の ATM スイッチ内のセルのスイッチング動作を示す概念図。

【図 16】

スイッチサイズ 16×16 の ATM スイッチの実現例を示す図。

【図 17】

セルを空間的に分割して転送する場合の LSI 構成を示す図。

【図 18】

並列入力のクロスポイントスイッチ例を示す図。

【図 19】

ビットスライスを用いたクロスポイントスイッチ例を示す図。

【符号の説明】

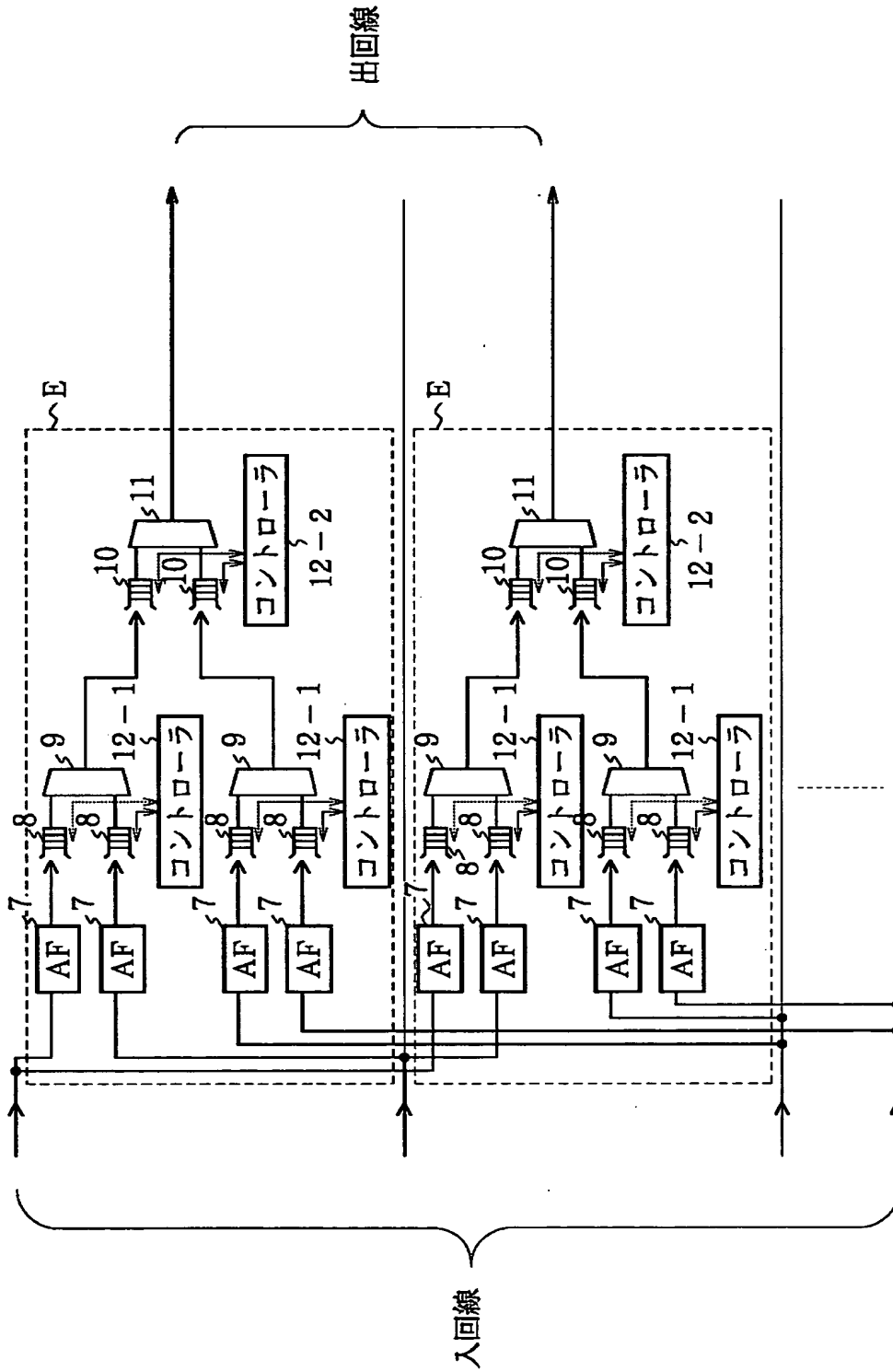
- 1 ショートセル分割部
- 2_1 、 2_2 出力バッファ
- 3、18 制御部
- 4、19 カウンタ
- 5、 16_1 、 16_2 入力インタフェース
- 6_1 、 6_2 、17 出力インタフェース
- 7 アドレスフィルタ
- 8、10 出力バッファ
- 9、11 セレクタ
- 12-1、12-2 コントローラ
- 13_1 、 13_2 入力バッファ
- 14 ショートセル合成部
- 15 絶対遅延付与バッファ
- $P_1 \sim P_n$ 基本スイッチ
- $SA_1 \sim SA_n$ セル分割部
- $SR_1 \sim SR_n$ セル合成部
- T、 $T_1 \sim T_3$ 、t、 $t_1 \sim t_3$ タイムスタンプ

RB、RB'、RB" ルーティングビット

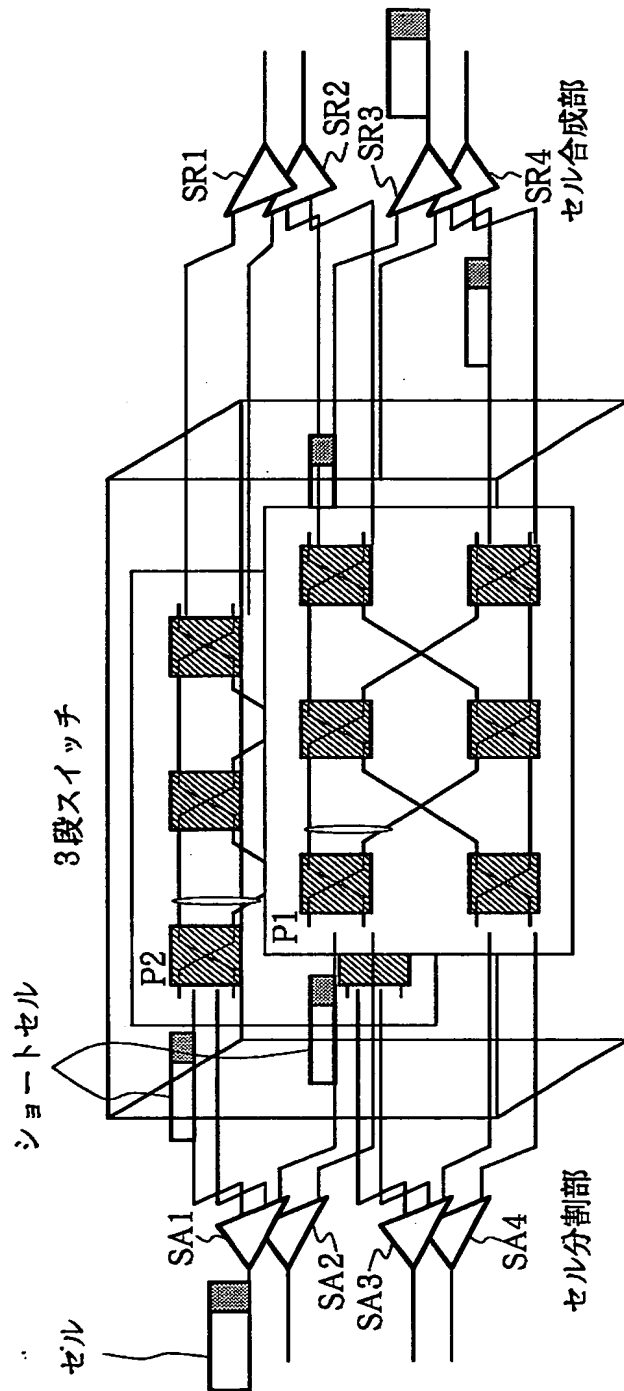
CNTL コントロールビット

【書類名】 図面

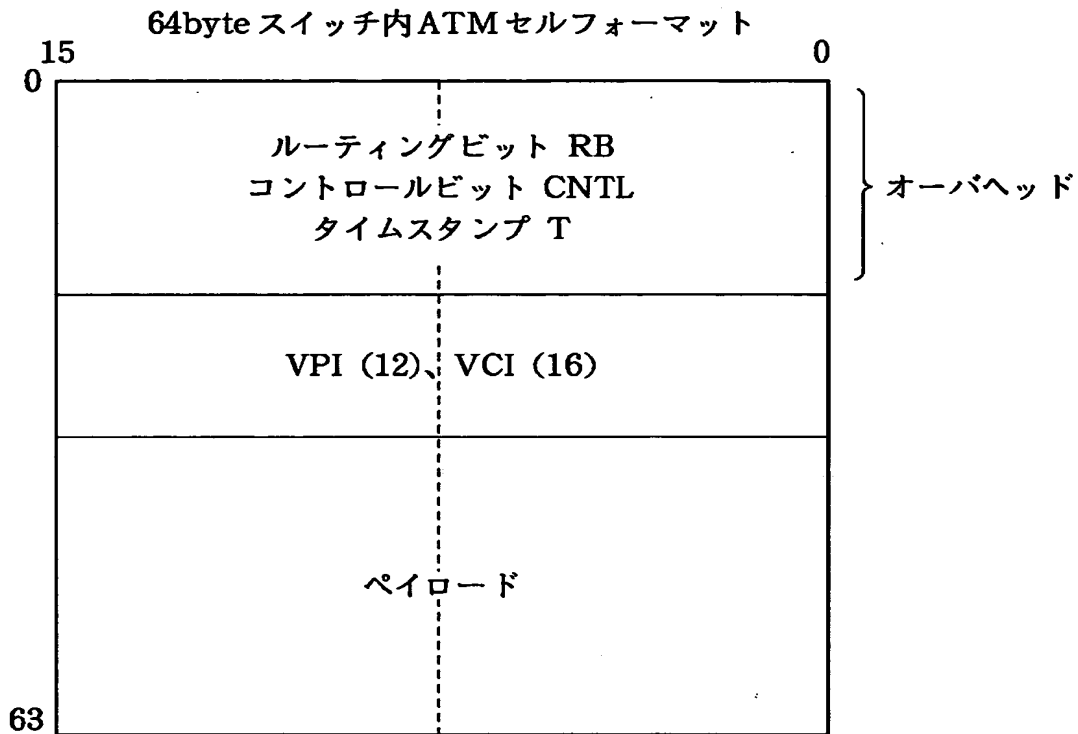
【図 1】



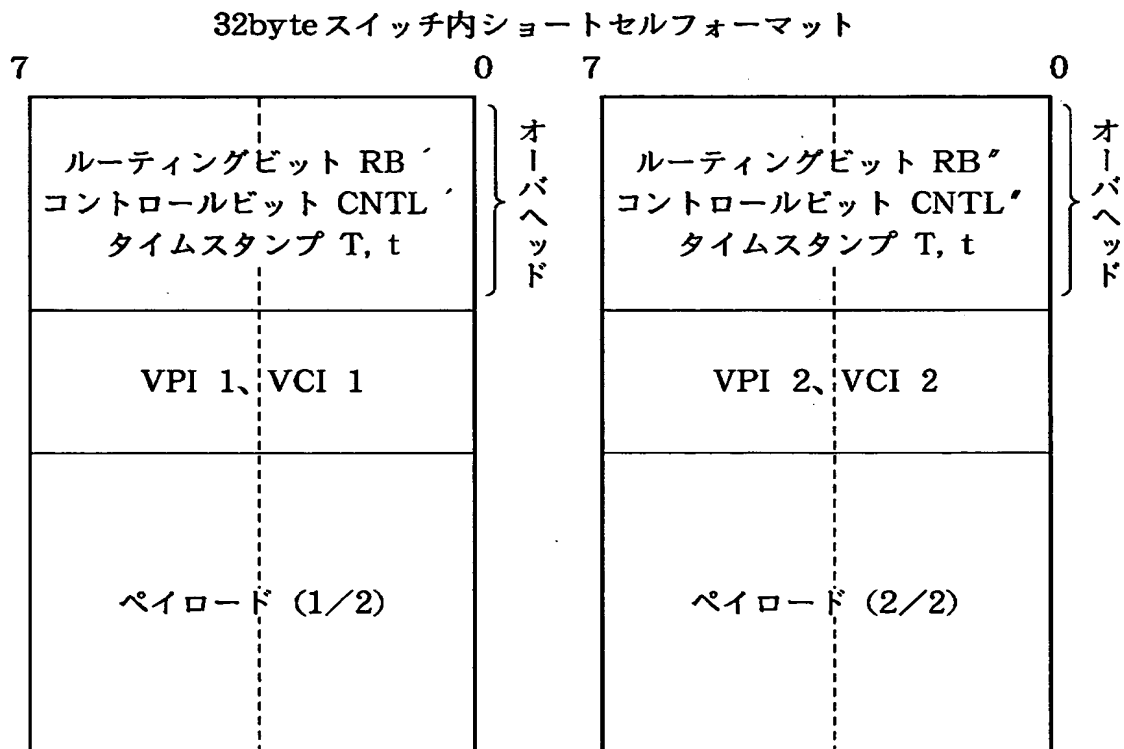
【図 2】



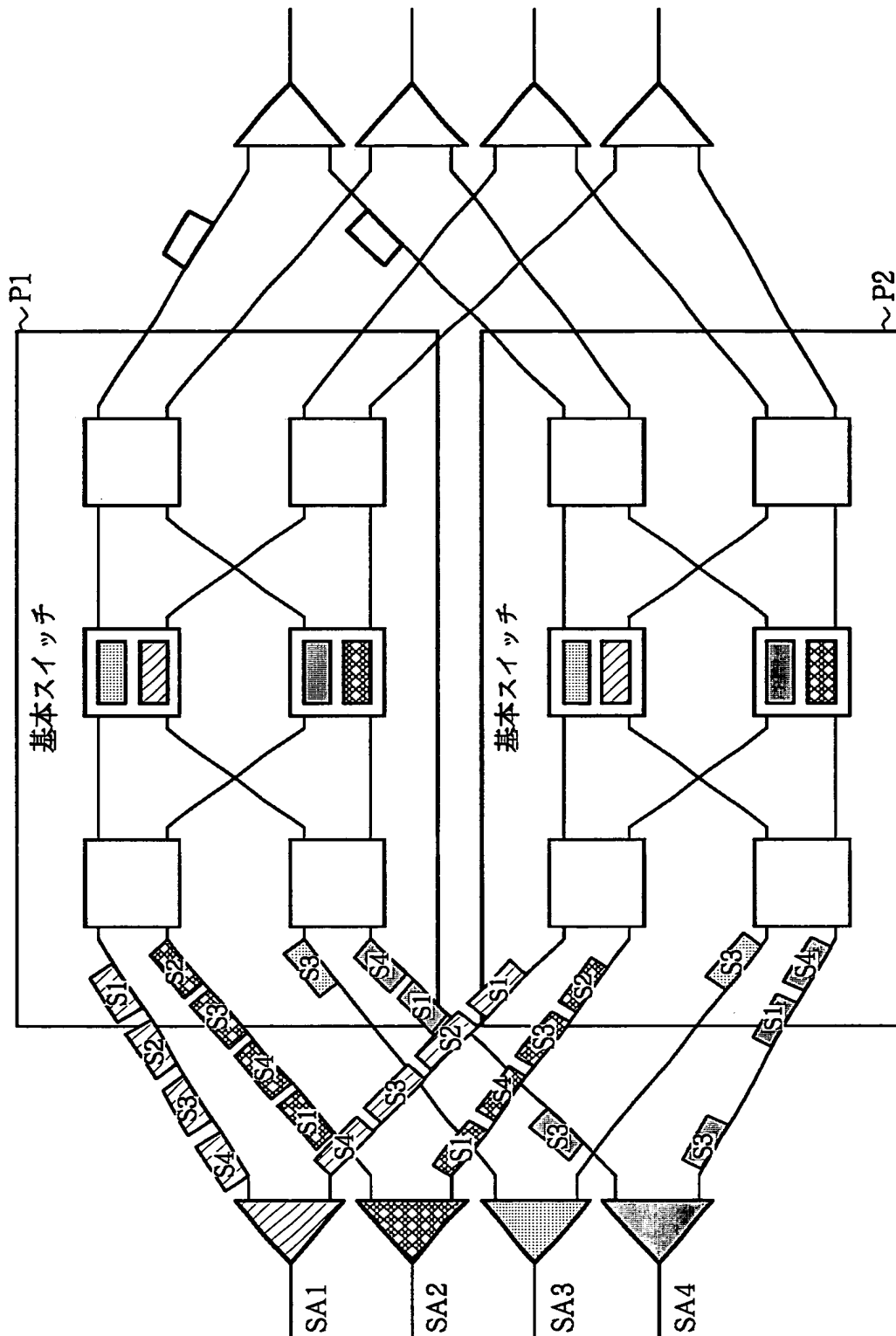
【図3】



【図4】



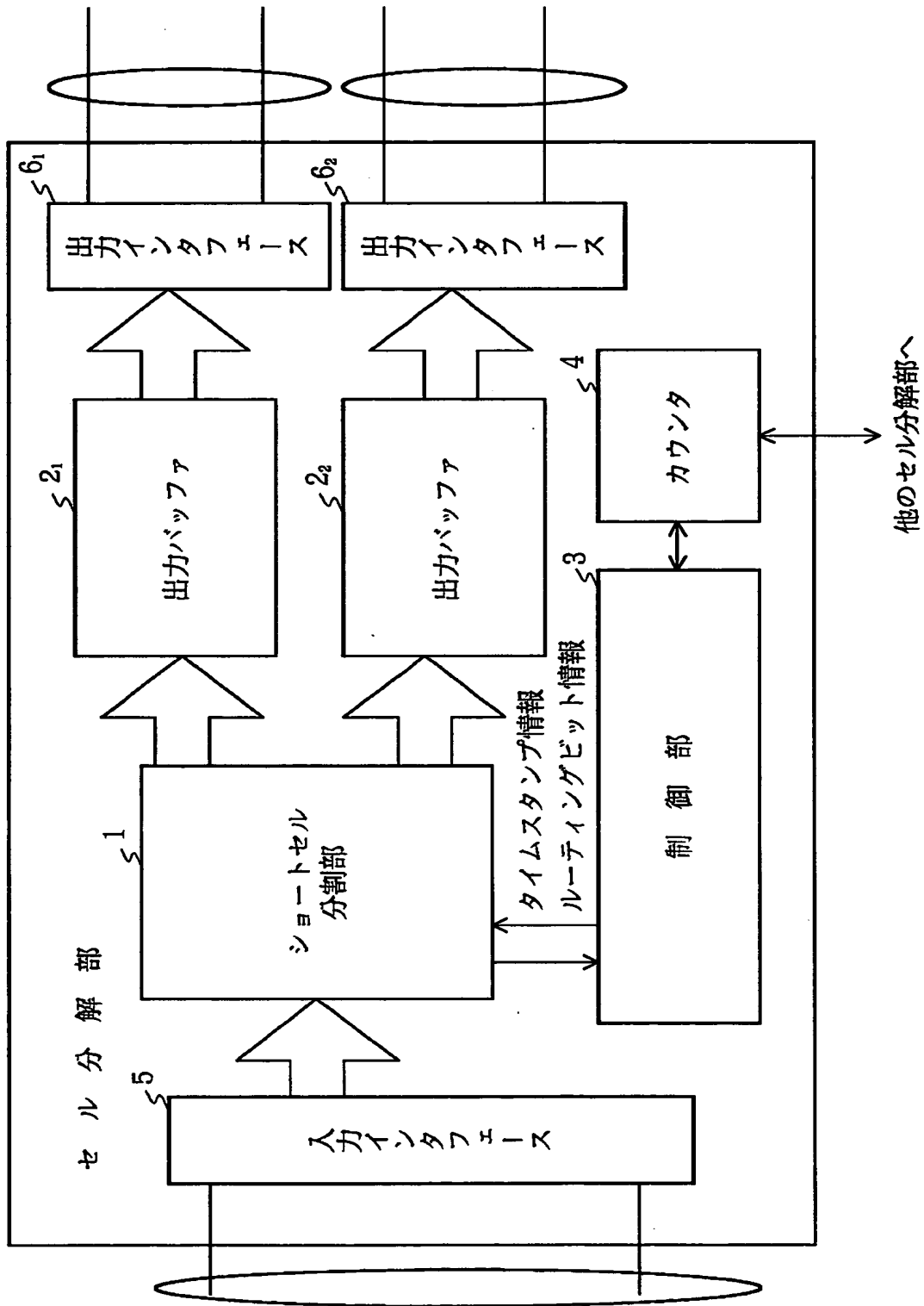
【図 5】



【図 6】

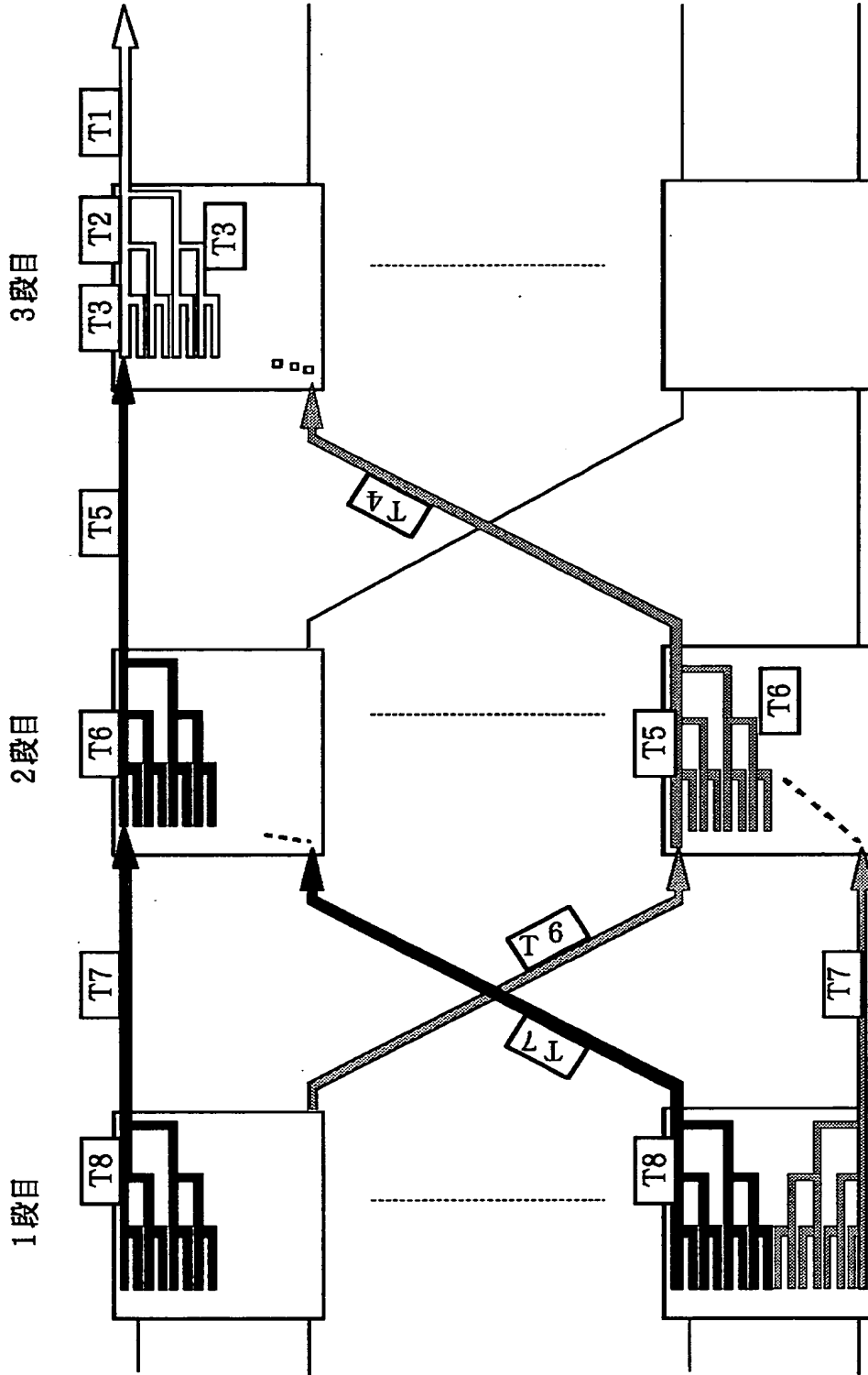
	T1	T2	T3	T4
SA1	S1	S2	S3	S4
SA2	S2	S3	S4	S1
SA3	S3	S4	S1	S2
SA4	S4	S1	S2	S3

【図 7】

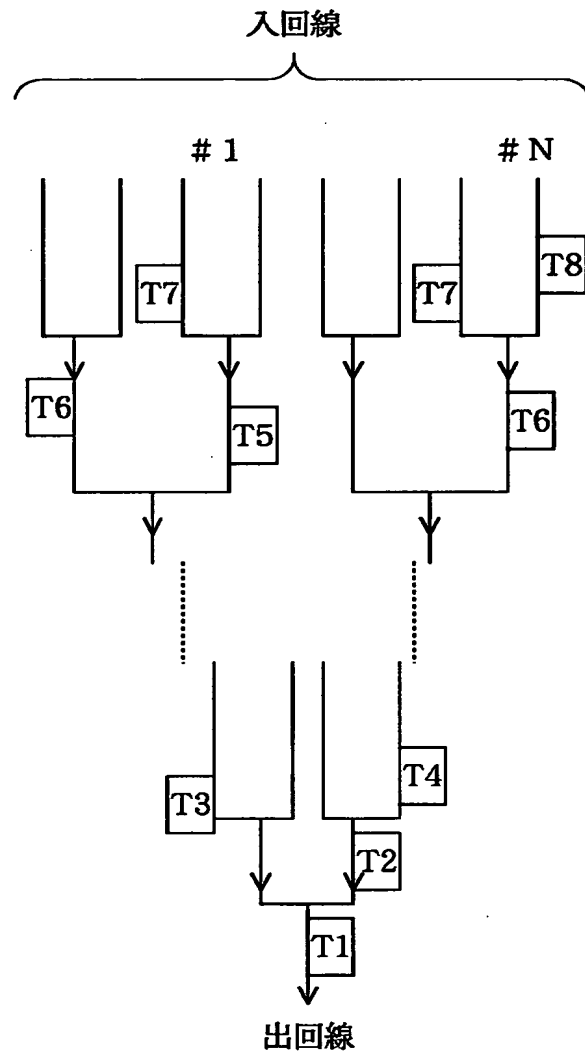


【図 8】

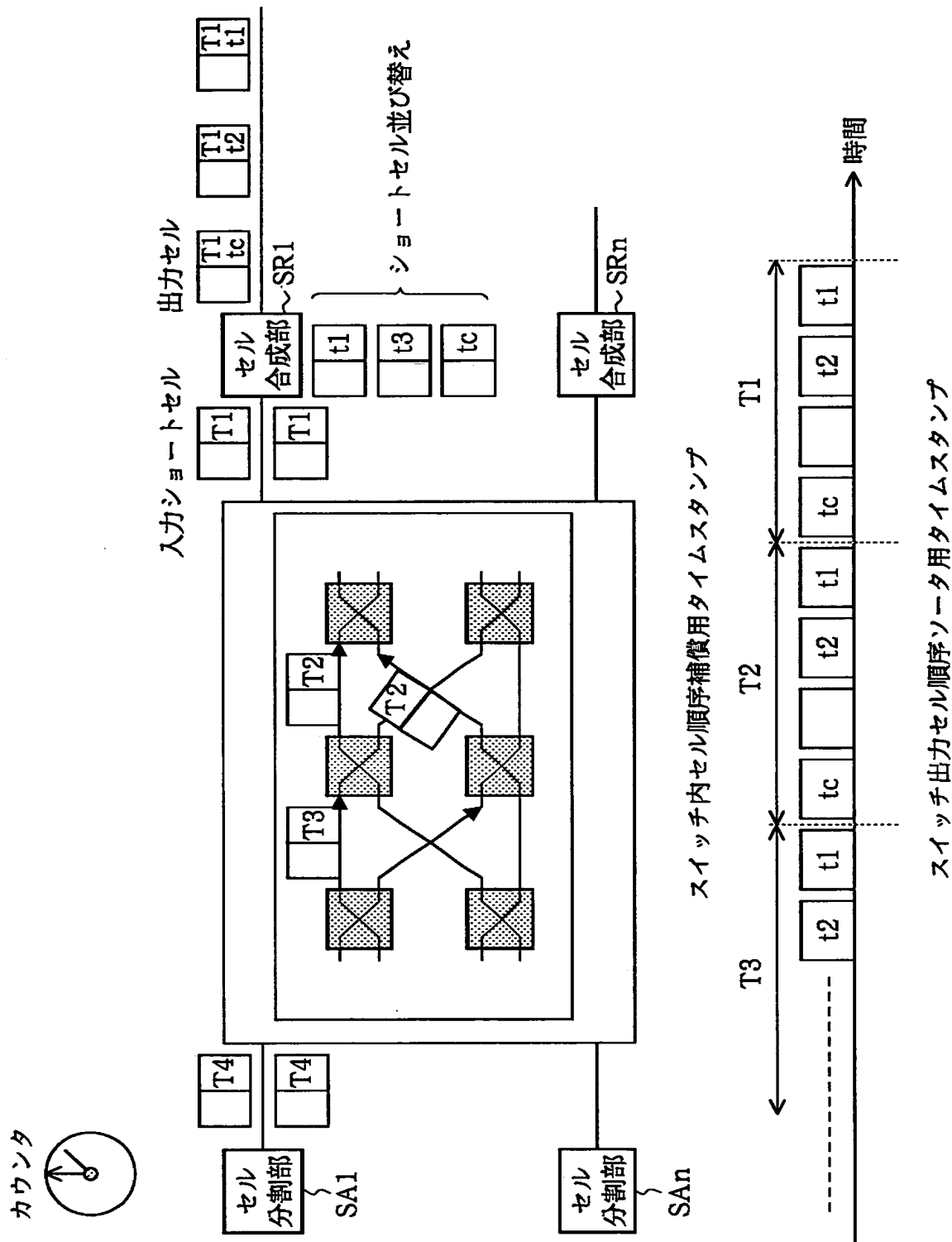
T1 ~ T8 : タイムスタンプ付シートセル



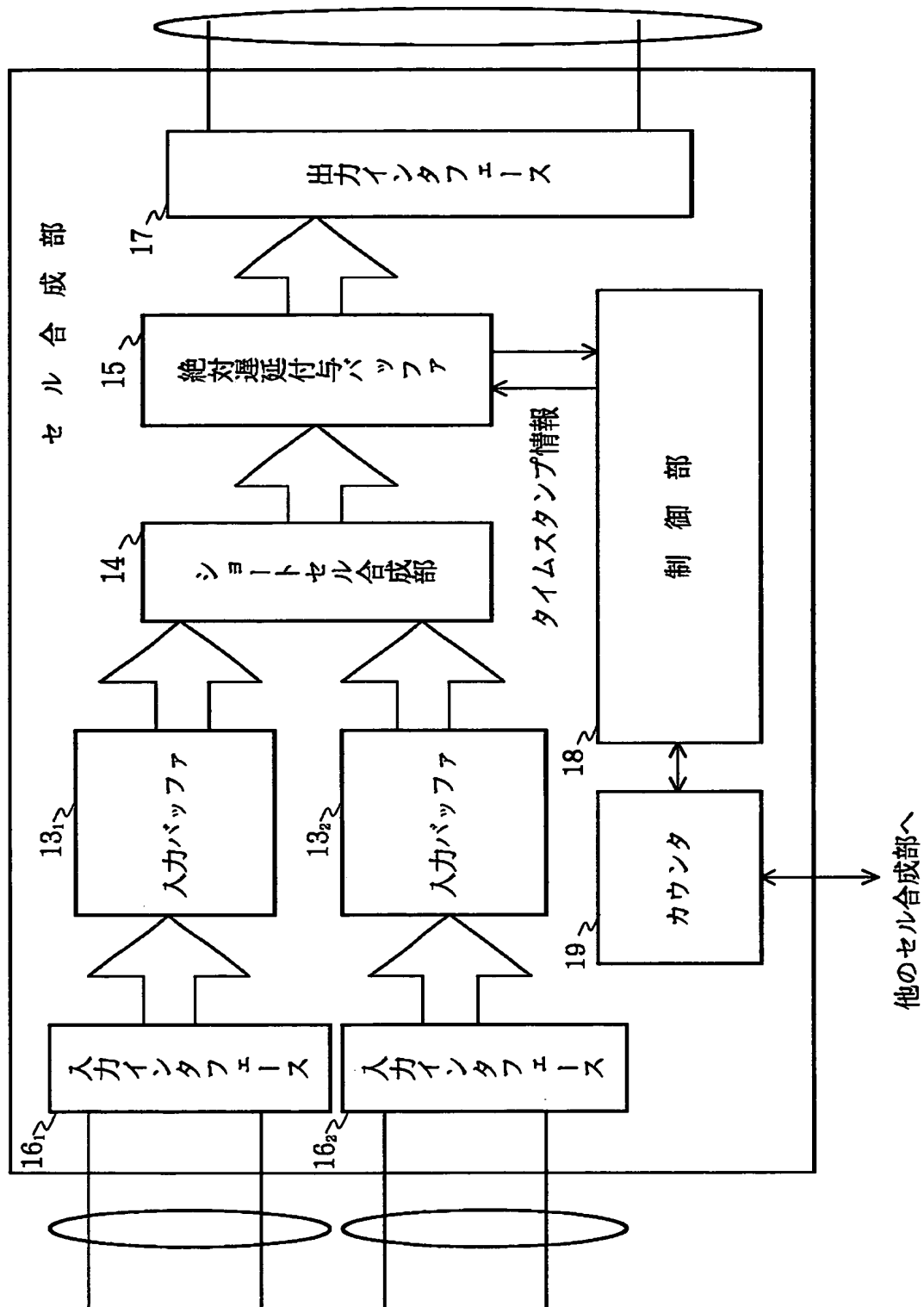
【図9】



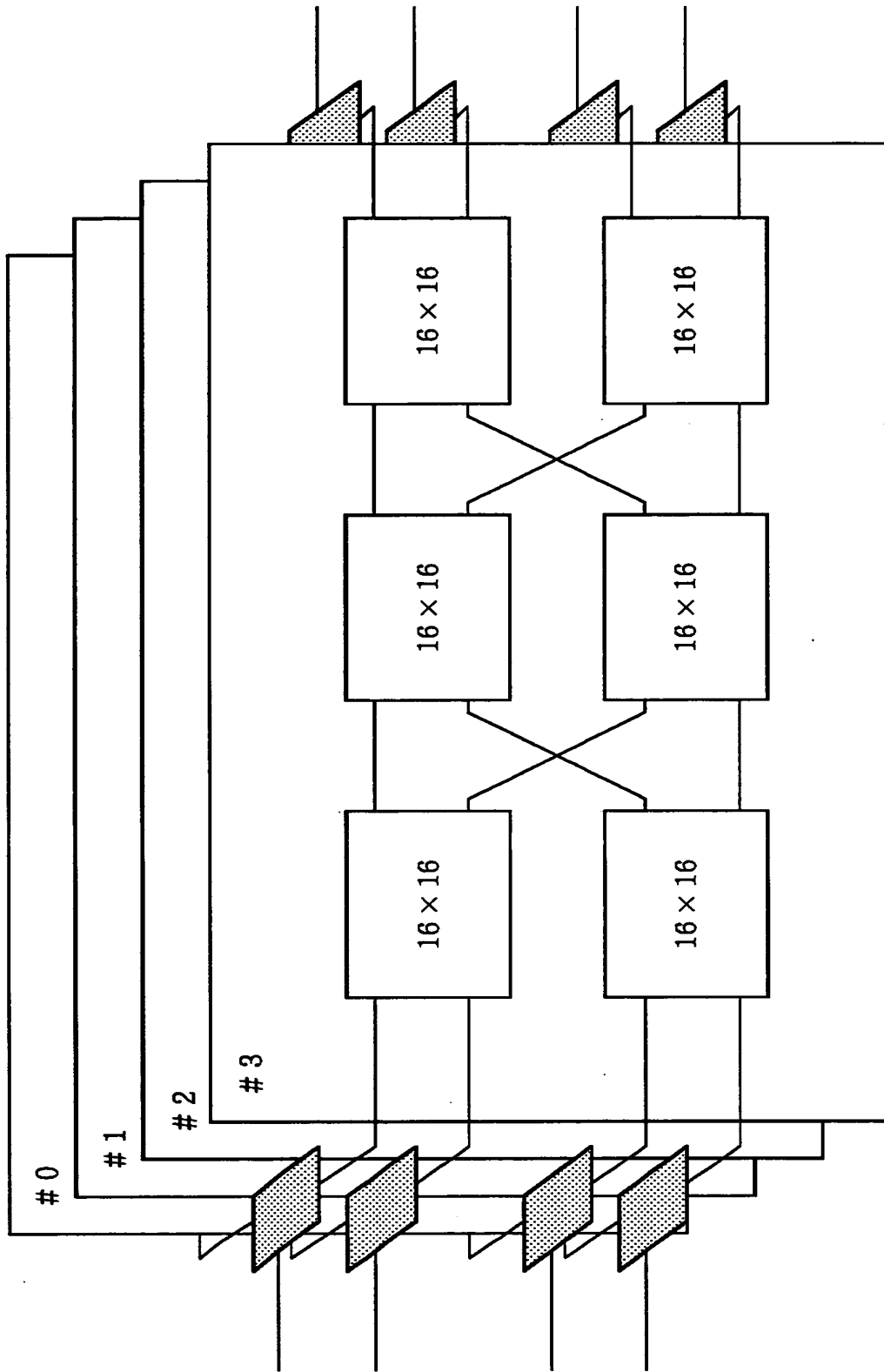
【図 10】



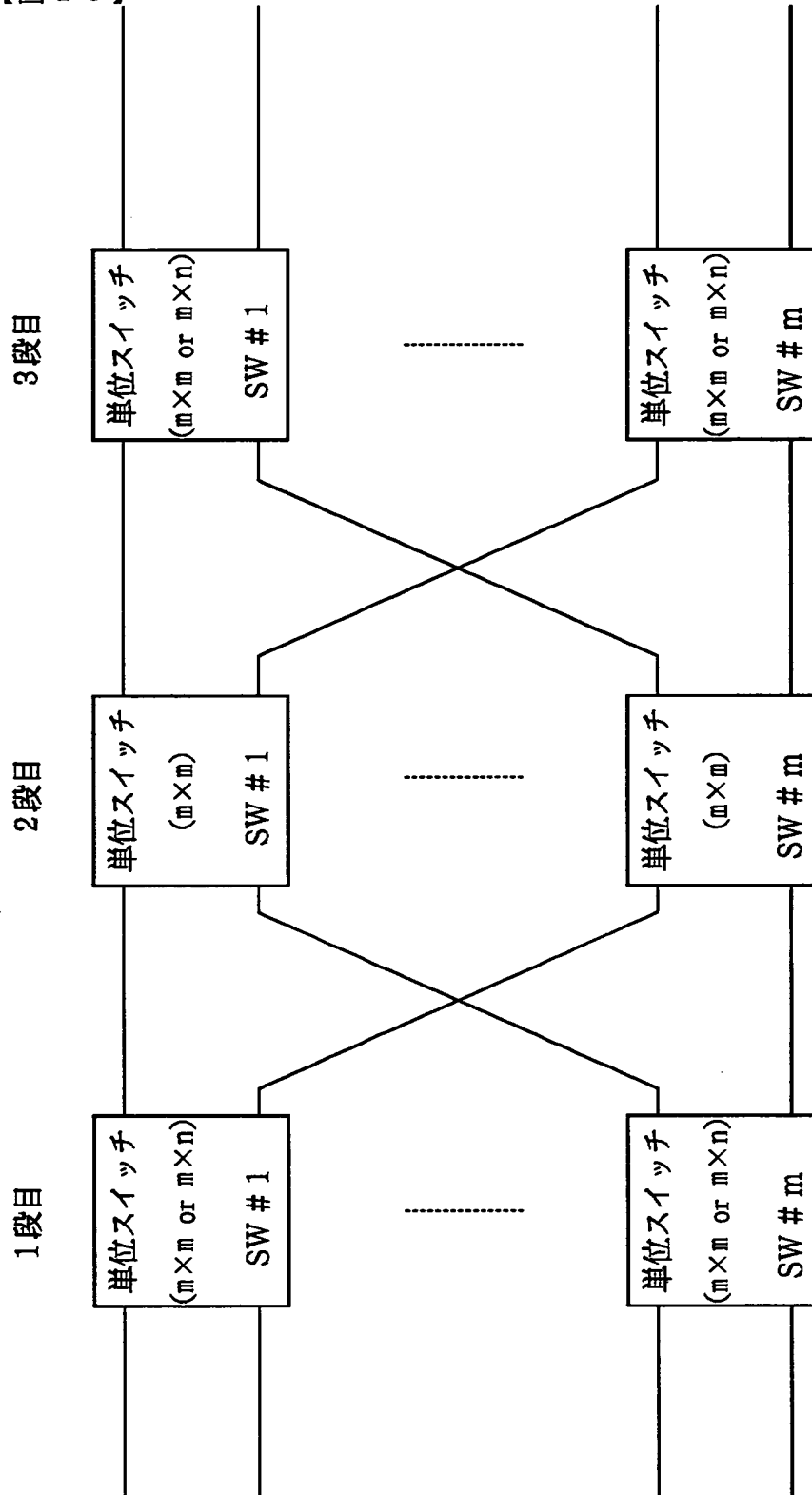
【図 11】



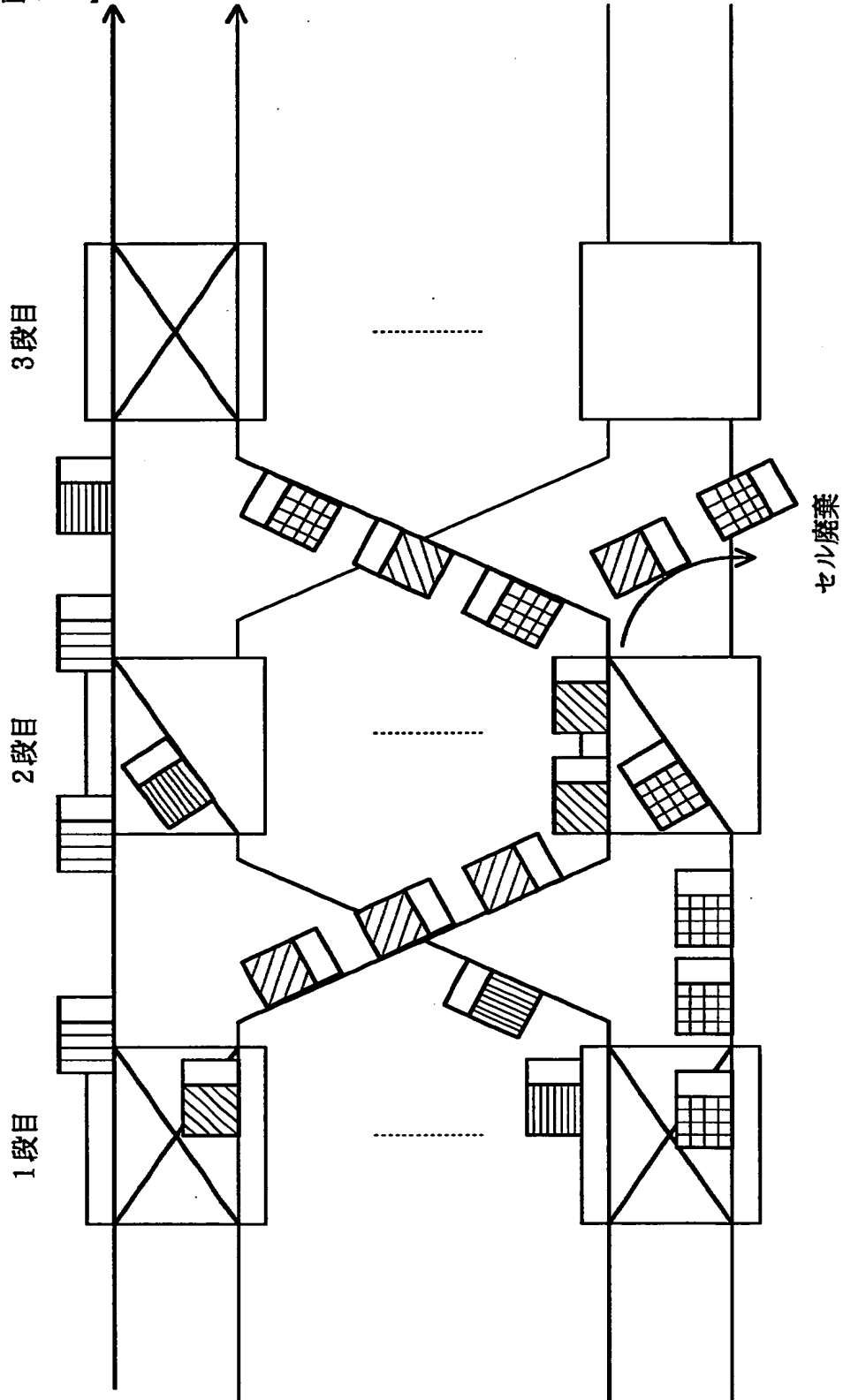
【図 12】



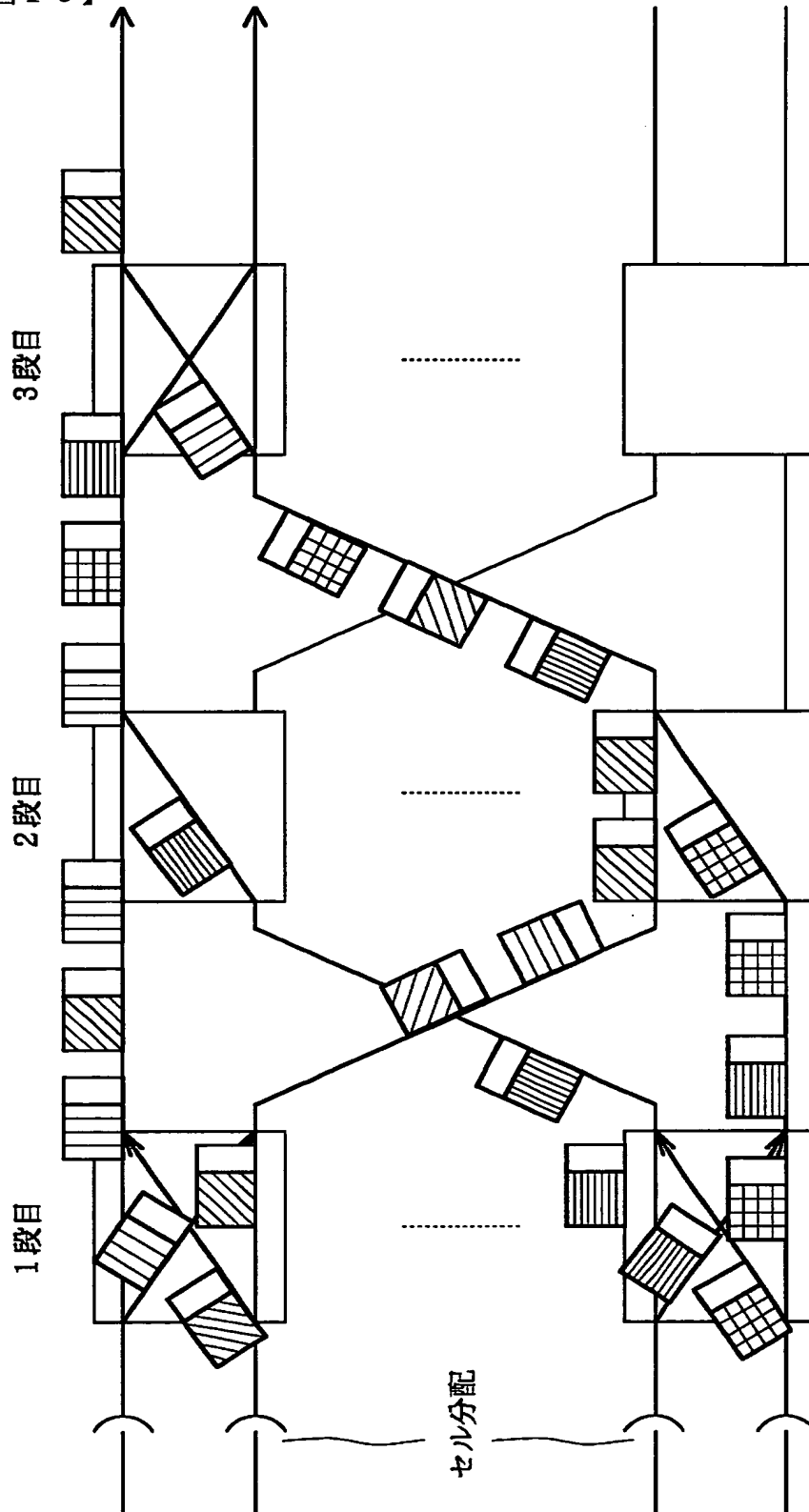
【図 13】



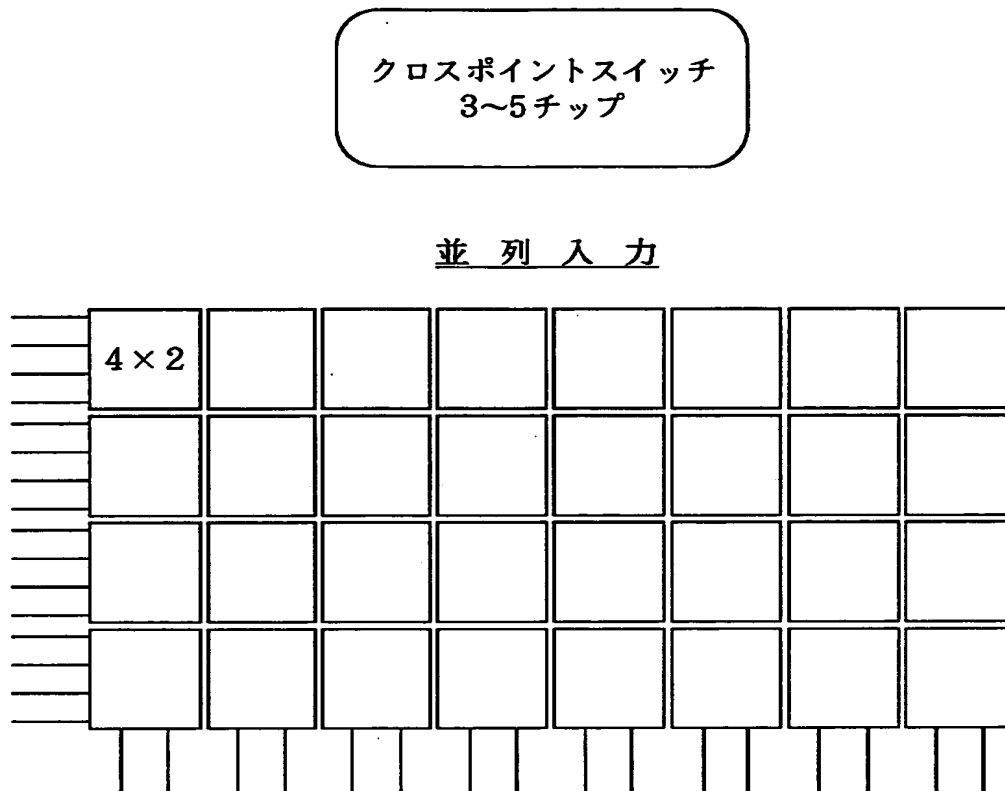
【図 14】



【図 15】



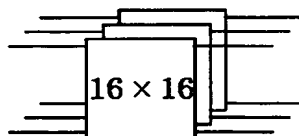
【図 16】



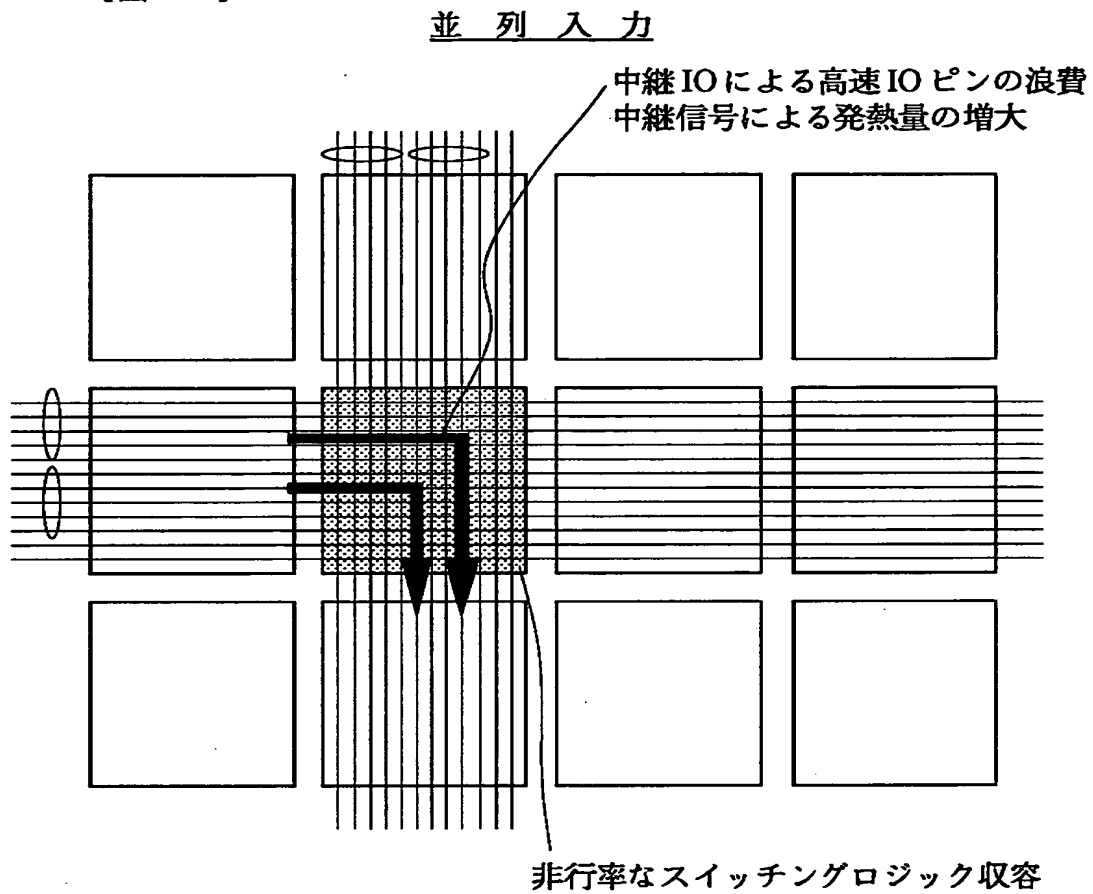
【図 17】

クロスポイントスイッチ
3~5チップ

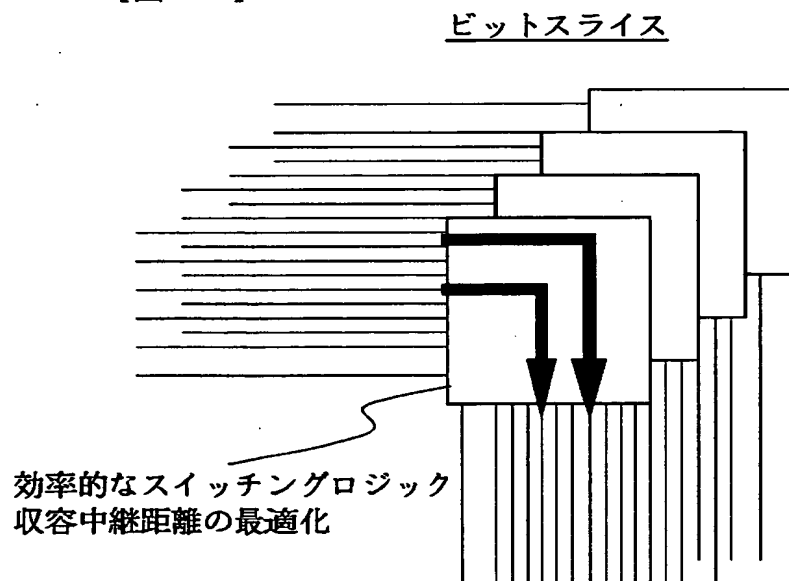
ビットスライス



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 スイッチ規模に制限されることのないセル順序補償動作を実現する。
スイッチサイズにスケーラビリティのあるスイッチアーキテクチャを実現する。
高速領域でLSI入出力信号数に制限がある場合でも経済的に大規模化を図る。

【解決手段】 ATMスイッチの入出力でそれぞれセル分割および合成を行い、
ルーティング網内の基本スイッチとセルを合成する手段のソータが連携してセル
順序補償を行う。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000004226
【住所又は居所】 東京都新宿区西新宿三丁目19番2号
【氏名又は名称】 日本電信電話株式会社
【代理人】 申請人
【識別番号】 100078237
【住所又は居所】 東京都練馬区関町北2丁目26番18号
【氏名又は名称】 井出 直孝
【選任した代理人】
【識別番号】 100083518
【住所又は居所】 東京都練馬区関町北2丁目26番18号 井出特許
事務所
【氏名又は名称】 下平 俊直

出 願 人 履 歴 情 報

識別番号 [000004226]

1. 変更年月日 1995年 9月21日
[変更理由] 住所変更
住 所 東京都新宿区西新宿三丁目19番2号
氏 名 日本電信電話株式会社
2. 変更年月日 1999年 7月15日
[変更理由] 住所変更
住 所 東京都千代田区大手町二丁目3番1号
氏 名 日本電信電話株式会社